

公開実用 昭和62-19855

⑬ 日 本 国 特 許 庁 (J P)

⑭ 実用新案出願公開

⑫ 公開実用新案公報 (U) 昭62-19855

⑮ Int. Cl. 4

識別記号

庁内整理番号

⑯ 公開 昭和62年(1987)2月5日

H 04 N 3/15
G 11 C 27/04

1 0 1

7245-5C
6549-5B

審査請求 未請求 (全 頁)

⑰ 考案の名称 信号伝送回路

⑱ 実 願 昭60-109955

⑲ 出 願 昭60(1985)7月18日

⑳ 考 案 者 曾 根 田 光 生 東京都品川区北品川6丁目7番35号 ソニー株式会社内

㉑ 出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号

㉒ 代 理 人 弁 理 士 伊 藤 貞 外 1 名

BEST AVAILABLE COPY

明 細 書

考案の名称 信号伝送回路

実用新案登録請求の範囲

入力信号がトランスミッションゲートを通じてソースホロアに供給され、このソースホロアのゲートソース間に第1のブートストラップ用の容量成分が持たせられ、上記ソースホロアからの信号が次段のトランスミッションゲートに供給されるようにした信号伝送回路において、

上記ソースホロアを複数の素子の並列回路で構成し、

上記トランスミッションゲートと上記複数のソースホロア用素子との間にそれぞれゲート素子を設け、

上記ゲート素子を独立に駆動して欠陥を検出し、その補正を行うことができるようにした信号伝送回路。

考案の詳細な説明

〔産業上の利用分野〕

本考案はCCD撮像素子、液晶ディスプレイ、

メモリ装置等を駆動するための走査回路に使用して好適な信号伝送回路に関する。

〔考案の概要〕

本考案はトランスミッションゲートとソースホロアが交互に接続されてなる信号伝送回路に関し、ソースホロアを複数の素子で構成することにより、これらを独立に駆動して回路の欠陥を検出すると共にこれが補正できるようにするものである。

〔従来の技術〕

走査回路に使用される信号伝送回路として、本願考案者は先に以下のような回路を提案した（特開昭58-177595号）。

第3図において、入力端子(1)がトランスミッションゲートを構成するエンハンスメント型のMOSトランジスタ M_{11} を通じてソースホロア構成にされたエンハンスメント型のMOSトランジスタ M_{21} のゲートに接続される。

ここでMOSトランジスタは次のように構成さ

れる。第4図において、P形のサブストレート(11)の上に、 N^+ のソース領域(12)及びドレイン領域(13)が形成される。そしてソース領域(12)とドレイン領域(13)の間の素子の表面に SiO_2 層(14)が設けられ、その上にゲート電極(15)が被着形成される。

従ってこのようなMOSトランジスタにおいて、ゲート電極(15)とソース領域(12)とが対向する部分(16)においてコンデンサが形成され、容量を持つ。またゲート電位が高くなるとソース領域(12)とドレイン領域(13)との間にチャンネル(17)が形成され、このときゲート電極(15)とチャンネル(17)との間においてもコンデンサが形成される。

そしてこのコンデンサによって、上述の回路においてトランジスタ M_{21} のゲートソース間にブートストラップ用の容量成分が構成される。

さらにトランジスタ M_{21} のドレインがトランスミッションゲートを構成するエンハンスメント型のMOSトランジスタ M_{31} のゲートに接続される。

またトランジスタ M_{21} のソースがトランジスタ M_{31} のドレインソース間を通じてエンハンスメント型の MOS トランジスタ M_{41} のゲートに接続される。このトランジスタ M_{41} のゲートソース間にブートストラップ用の容量成分が構成される。さらにトランジスタ M_{41} のドレインが次段回路を構成するトランスミッションゲートを構成するエンハンスメント型の MOS トランジスタ M_{12} のゲートに接続され、さらにトランジスタ M_{41} のソースがトランジスタ M_{12} のドレインに接続される。

このトランジスタ $M_{11} \sim M_{41}$ の回路が順次繰り返し接続される。

さらにクロック端子(4)がトランジスタ M_{11} のゲート及びトランジスタ $M_{41}, M_{42} \dots$ のドレインに接続され、クロック端子(5)がトランジスタ $M_{21}, M_{22} \dots$ のドレインに接続される。

この回路において、クロック端子(4)、(5)、入力端子(1)にはそれぞれ第5図 A、B、C に示すような信号 $\phi_1, \phi_2, \phi_{IN}$ が供給される。ここで信号 $\phi_1, \phi_2, \phi_{IN}$ のハイレベルを V_H 、ローレ



レベルを V_L とする。また信号 ϕ_1 , ϕ_2 のパルスを図示のように〔11〕,〔12〕, ...,〔21〕,〔22〕, ... とする。また MOS トランジスタのしきい値を全て V_{th} とする。

これによってまず信号 ϕ_{IN} は信号 ϕ_1 のパルス〔12〕にてトランジスタ M_1 を伝送され、トランジスタ M_{21} のゲート①の電圧 V_1 (同図 D) は、

$$V_1 = V_H - V_{th} \quad \dots \dots (1)$$

になる。

次にトランジスタ M_{21} のソース②の電圧 V_2

(同図 E) は、初め

$$V_1 - V_2 = V_H - V_L > V_{th} \quad \dots \dots (2)$$

であるから、トランジスタ M_{21} はオンし

$$V_2 = V_L \quad \dots \dots (3)$$

となる。そして信号 ϕ_2 のパルス〔22〕が来ると電圧 V_1 はトランジスタ M_{21} の容量成分によるブートストラップ効果によって持ち上げられ、

$$V_1 = V_H + \frac{C_B}{C_B + C_S} V_H \quad \dots \dots (4)$$

但し、 C_B はブートストラップ容量

C_s はトランジスタ M_{21} のゲート

のストレー容量

となり、このとき

$$V_1 - V_{th} \geq V_H \quad \dots \dots (5)$$

ならば

$$V_2 = V_H \quad \dots \dots (6)$$

となり、トランジスタ M_{21} のソース②にパルス

〔22〕が抜き出される。

さらに信号 ϕ_2 に同期してトランジスタ M_{31} が

オンとなり、電圧 V_2 がトランジスタ M_{41} のゲート

③にも蓄積される。そしてこのゲート③の電圧

V_3 (同図 F) が

$$V_3 = V_H - V_{th} \quad \dots \dots (7)$$

になることによってトランジスタ M_{41} がオンし、

トランジスタ M_{21} と同様の動作でトランジスタ

M_{41} のソース④にパルス〔13〕が抜き出される

(同図 G)。

以下同様にしてトランジスタ M_{22} , M_{42} . . .

の出力点⑦, ⑩ . . . に信号 ϕ_1 , ϕ_2 の各パル

ス〔23〕, 〔14〕 . . . が出力される (同図 I)。

K . . .) .

従ってこの回路において、入力信号 ϕ_{IN} が順次伝送され、トランジスタ M_{21} , M_{41} , M_{22} , M_{42} . . . のソースに順次パルスが取り出される。そしてこのパルスにて例えば水平走査線を順次駆動することができる。なお C_{L1} , C_{L2} . . . はパルスが供給される負荷である。

なお上述の波形図において、電圧 V_1 , V_3 , V_5 . . . の電圧の上昇 V_A は、トランジスタ M_{21} , M_{41} . . . の容量成分によるブートストラップ効果によるものであり、

$$V_A = \frac{C_B}{C_B + C_S} (V_H - V_L) \quad \dots \dots (8)$$

である。また電圧 V_2 , V_4 . . . の残留電圧 V_E は

$$V_E = \frac{C_S}{C_S + C_L} (V_H - V_L) \quad \dots \dots (9)$$

である。

ここで負荷として CCD 撮像素子あるいは液晶ディスプレイ等の容量性の負荷を用いた場合には

$$C_L \gg C_S, C_B \quad \dots (10)$$

であり、上述の残留電圧 V_R は略零となり、通常の使用において問題は生じない。

またブートストラップ用の容量成分の容量値 C_B は、上述の(4)、(5)式から

$$V_H' + \frac{C_B}{C_B + C_S} V_H - V_{th} \geq V_H \quad \dots (11)$$

であり、またトランスミッションゲートとなるトランジスタ M_{11} , M_{31} , M_{12} ... の耐圧を BV としたとき

$$BV \geq V_H' + \frac{C_B}{C_B + C_S} V_H \quad \dots (12)$$

であり、これらの2式から求めて

$$\frac{V_H - V_H' + V_{th}}{V_H' - V_{th}} C_S \leq C_B \leq \frac{BV - V_H'}{V_H + V_H' - BV} C_S \quad \dots (13)$$

の間を選べばよい。

こうして入力信号 ϕ_{IN} の伝送が行われる。そしてこの回路によれば出力信号がクロック信号 ϕ_1 , ϕ_2 のパルスを抽出する形で形成されるので、上

述のようにクロック信号 ϕ_1 、 ϕ_2 のバースを短くすることにより容易に出力信号のオーバーラップを無くすることができる。

また回路に貫通電流が流れることがないので、消費電力が極めて小さくなる。

さらにクロック信号 ϕ_1 、 ϕ_2 のそれぞれによって出力信号の得られる非反転型であるので、従来の反転型に比べてクロック信号の周波数を $\frac{1}{2}$ に低下させることができ、これによっても消費電力が小さくなる。

また2個の素子で1つの出力を形成できるので、全体の回路構成を極めて簡単にでき、回路を容易かつ安価に形成できる。

ところで上述の回路において、ソースホロアを構成するトランジスタ M_{21} 、 M_{41} ・・・には大容量の負荷容量 C_L が接続されるため、これらのトランジスタには大電流が流され、このため素子のチャンネル幅 W を大きくする必要がある。

ところがその場合に、素子のチャンネル幅 W を大きくすると、素子の特性にばらつきを生じ易く

なる。そこで第6図に示すようにトランジスタ M_{21} 、 M_{41} ・・・をそれぞれ複数の素子 M_{21a} 、 M_{21b} 、 M_{21c} 、 M_{41a} 、 M_{41b} 、 M_{41c} ・・・に分割し、それぞれの素子のばらつきを少なくすることが検討された。

しかしこのような構成としてもばらつきが完全に解消されるわけではなく、例えば許容のばらつきの限界で第7図の特性図の曲線②に示すような出力波形を得て、これで回路が正常動作するように回路設計が行われている。従って例えばばらつきの少ない素子の回路では出力波形は特性図の曲線③に示すようになり、必要以上の特性が得られている。なお、曲線①はばらつきが多い場合の波形を示す。

一方上述のように素子を多数設けた場合には、それぞれの素子においてピンホールによるゲートリークや、ソース・ドレイン間の短絡のような欠陥を生じるおそれが増大する。このためばらつきの少ない素子の回路であっても、素子の欠陥のために使用不能になる場合が多く、歩留りが低下して

しまう。

ところで、その場合に例えばばらつきの少ない素子の回路では、3素子の内の1つを遮断しても出力波形は特性図の曲線②のようになるだけで、回路の動作上の問題はない。本願はこの点に着目したものである。

〔考案が解決しようとする問題点〕

従来の回路は上述のように構成されていた。このため回路を構成する素子にばらつきや欠陥を生じ易く、歩溜りや、信頼性の低下などの問題点があった。

〔問題点を解決するための手段〕

本考案は、入力信号がトランスミッションゲート（トランジスタ M_{11} , M_{31} ・・・）を通じてソースホロア（トランジスタ M_{21} , M_{41} ・・・）に供給され、このソースホロアのゲートソース間に第1のブートストラップ用の容量成分が持たせられ、上記ソースホロアからの信号が次段のトラン

スミッションゲートに供給されるようにした信号伝送回路において、上記ソースホロアを複数の素子（トランジスタ M_{21a} 、 M_{21b} 、 M_{21c} 、 M_{41a} 、 M_{41b} 、 M_{41c} ・・・）の並列回路で構成し、上記トランスミッションゲートと上記複数のソースホロア用素子との間にそれぞれゲート素子（トランジスタ M_{x1} 、 M_{y1} ・・・）を設け、上記ゲート素子を独立に駆動して欠陥を検出し、その補正を行うことができるようにした信号伝送回路である。

〔作用〕

この回路によれば、ソースホロア用素子を複数設けると共に、各素子を独立に駆動できるようにしたので、例えばばらつきの少ない素子の回路において素子の欠陥を検出し、この素子を遮断してその補正を行うことができ、欠陥のために使用不能となっていた回路を使用可能として、歩溜りや信頼性を向上させることができる。

〔実施例〕

第1図において、トランジスタ M_{21} 、 M_{41} 、 M_{21a} 、 M_{21b} 、 M_{21c} 、 M_{41a} 、 M_{41b} 、 M_{41c} ($M_{41a} \sim M_{41c}$ は図示せず)・・・に分割されると共に、トランジスタ M_{11} 、 M_{31} ・・・とトランジスタ $M_{21a} \sim M_{21c}$ 、 $M_{41a} \sim M_{41c}$ ・・・のゲートとの間にそれぞれゲート用のトランジスタ M_{x1a} 、 M_{x1b} 、 M_{x1c} 、 M_{y1a} 、 M_{y1b} 、 M_{y1c} ・・・が設けられる。このトランジスタ M_{x1a} 、 M_{y1a} ・・・、 M_{x1b} 、 M_{y1b} ・・・、 M_{x1c} 、 M_{y1c} ・・・のゲートがそれぞれ電源端子 (3a)、(3b)、(3c) に接続される。またトランジスタ $M_{x1a} \sim M_{x1c}$ 、 $M_{y1a} \sim M_{y1c}$ ・・・とトランジスタ $M_{21a} \sim M_{21c}$ 、 $M_{41a} \sim M_{41c}$ ・・・のゲートとの間の配線の一部が、図中または第2図に示すようにトランジスタ $M_{21a} \sim M_{21c}$ 、 $M_{41a} \sim M_{41c}$ ・・・のソースまたはドレインの配線に近接するように形成される。

この回路において、通常の使用時には電源端子 (3a) ～ (3c) を全て高電位 (V_{DD}) にすること

により、トランジスタ $M_{x1a} \sim M_{x1c}$, $M_{y1a} \sim M_{y1c}$. . . は全て導通状態になり、従来の回路と同様の動作となる。

これに対してばらつきの少ない素子の回路において上述の使用状態にしても回路が動作しないときは、トランジスタの一部に欠陥を生じているものと考えられる。

その場合には、まずクロック信号 ϕ_1 , ϕ_2 入力信号 ϕ_{IN} を供給すると共に、クロック信号 ϕ_1 , ϕ_2 の電流値を検出することにより、電流値が変動したときの信号 ϕ_{IN} が供給されてからのクロック信号 ϕ_1 , ϕ_2 のパルス数にて欠陥の生じている段を検出することができる。次に電源端子 (3a) ~ (3c) を順番に1つずつ低電位にし、それによって正常に動く場合を検出して欠陥の生じているトランジスタ $M_{x1a} \sim M_{x1c}$, $M_{y1a} \sim M_{y1c}$. . . を特定することができる。

そしてこれによって欠陥が生じているトランジスタが特定されると、例えばレーザートリマ装置を用いて、欠陥の生じているトランジスタの箇中

に破線で示した部分の2本の配線を切断する。これによって欠陥を生じているトランジスタが遮断され、この欠陥が補正される。

そうして欠陥を生じているトランジスタを検出し、これを補正することができ、欠陥のために使用不能になっていた回路を使用可能にして、歩溜りや信頼性を向上させることができる。

なおトランジスタを1段当り1個遮断しても、前述したように回路動作には支障はない。

また欠陥が複数ある場合には上述の動作順次繰り返して行うことにより、順番にそれらを補正することができる。

さらに上述のトランジスタ $M_{x1a} \sim M_{x1c}$, $M_{y1a} \sim M_{y1c}$. . . では本願考案者が先に提案 (特願昭59-155,780号) したトランスミッションゲートの耐圧軽減の効果を得ることもできる。

さらに上述の装置は、クリスタルシリコン、アモルファスシリコン、ポリシリコン及びその他の有機、無機材料を用いたデバイスにも適用できる。

〔考案の効果〕

この考案によれば、ソースホロア用素子を複数設けると共に、各素子を独立に駆動できるようにしたので、例えばばらつきの少い素子の回路において素子の欠陥を検出し、この素子を遮断してその補正を行うことができ、欠陥のために使用不能となっていた回路を使用可能として、歩留りや信頼性を向上させることができるようになった。

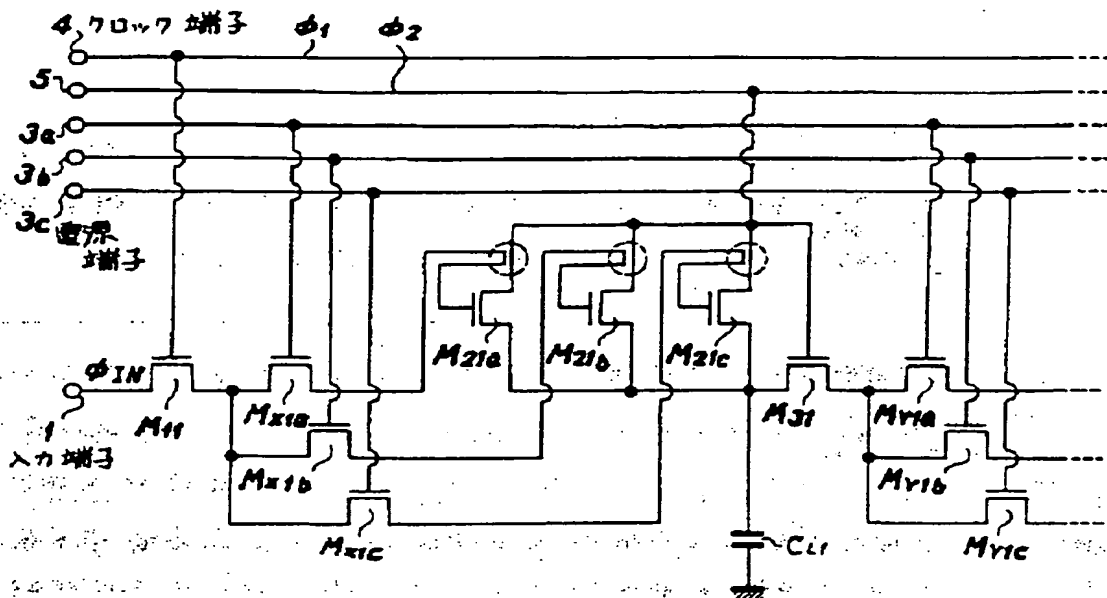
図面の簡単な説明

第1図は本考案の一例の接続図、第2図は他の例の説明のための図、第3図～第7図は本願出願人が先に提案した回路の説明のための図である。

(1)は入力端子、(3a) (3b) (3c)は電源端子、(4)、(5)はクロック端子、MはMOSトランジスタである。

代理人 伊 藤 貞

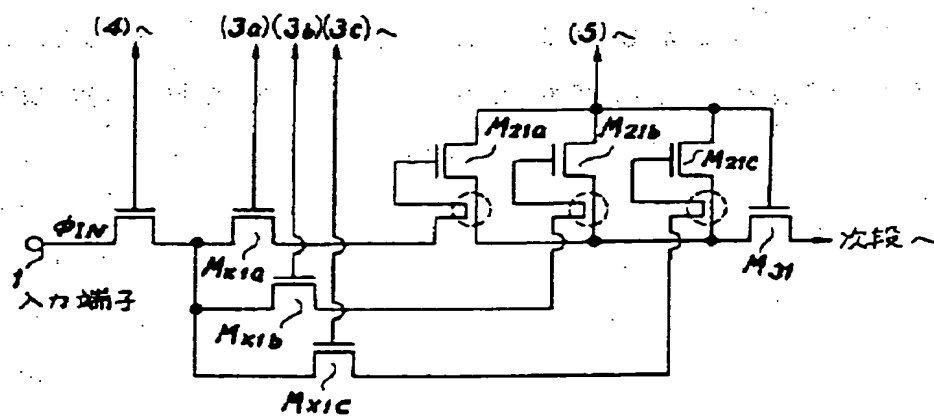
同 松 隈 秀 盛



実施例の構成図

第1図

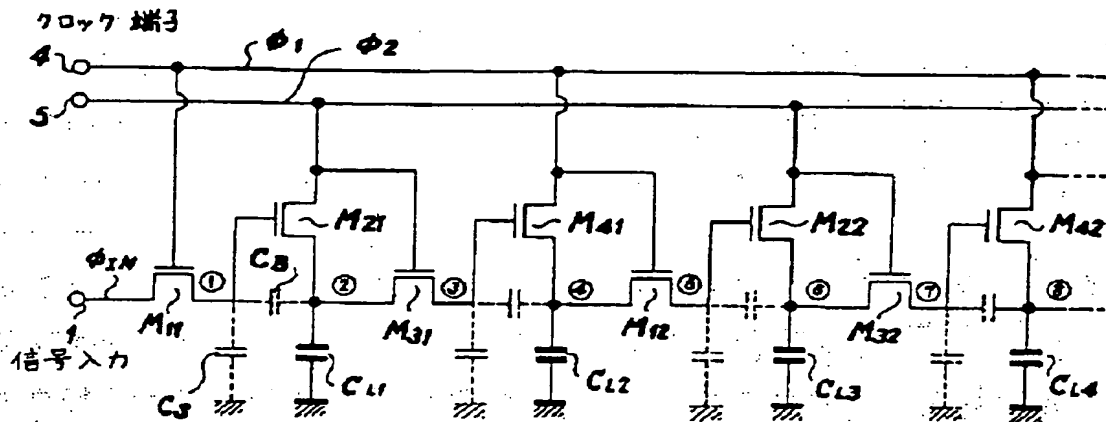
MはMOSトランジスタ
Cはコンデンサ



他の例の構成図

第2図

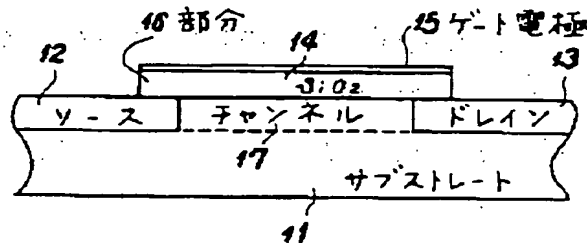
637



従来の回路の構成図

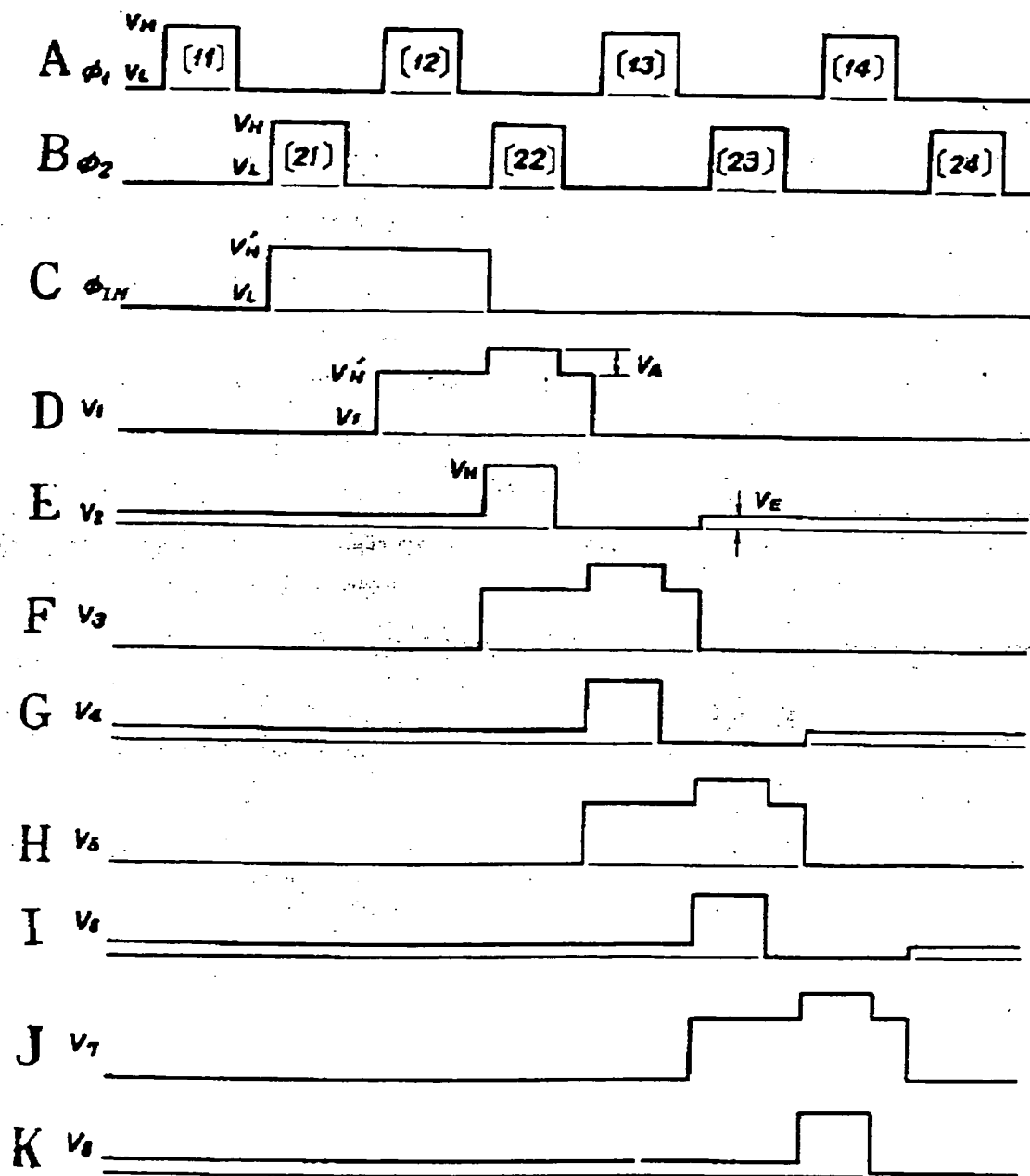
MはMOSトランジスタ
Cはコンデンサ

第3図



MOSトランジスタの構造図

第4図

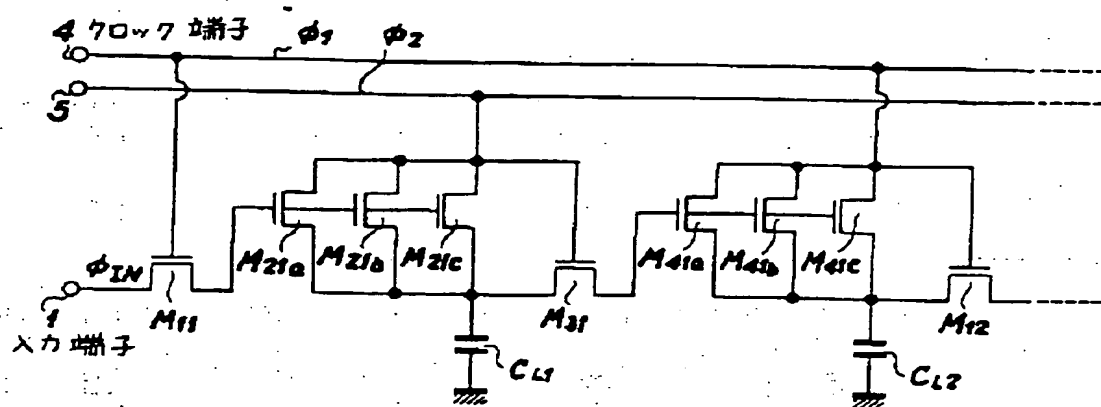


タイムチャート

第 5 図

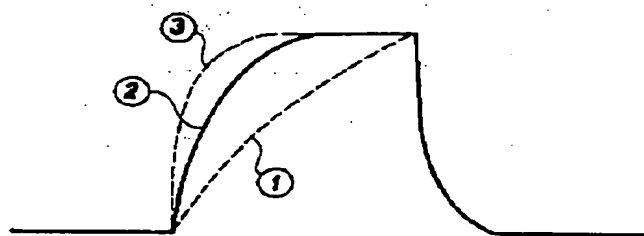
639

実開62-19855



前提となる装置の構成図

第 6 図



特性図

第 7 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.